

## Patent Abstracts of Japan

PUBLICATION NUMBER : 11101827  
PUBLICATION DATE : 13-04-99

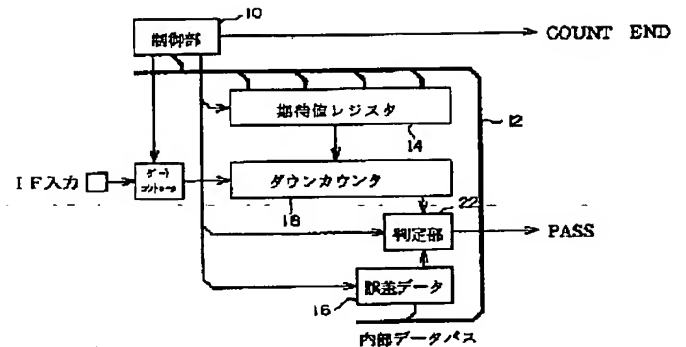
APPLICATION DATE : 25-09-97  
APPLICATION NUMBER : 09260364

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : SEKIGUCHI MUNEHIRO;

INT.CL. : G01R 23/15 H03J 7/18

TITLE : SIGNAL-DETECTING CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To detect the presence/absence of signals from a broadcasting station in a simple circuit.

SOLUTION: An expected value corresponding to an intermediate frequency is input to a down counter 18 via an expected value register 14. An allowable error data is set to an error data register 16. An IF input corresponding to an intermediate frequency signal is counted down. When the input agrees with the error data, a judgment part 22 outputs H as a PASS flag. Although a down counter shows a maximum value after all is 0, the down counter 18 continues counting down. The judgment part 22 reverses the error data and compares with a counted value of the down counter 18. The PASS flag is maintained at the H until the counted value becomes outside of an error range.

COPYRIGHT: (C)1999,JPO

(11)特許出願公開番号

(43)公開日 平成11年(1999)4月13日

H03J 7/18

審査請求 未請求 請求項の数 2 O.L (全 8 頁)

(74)代理人 弁理士 吉田 研二 (外2名)



**【特許請求の範囲】**

**【請求項1】** 被測定信号の周波数を測定するためのカウンタを行うカウンタと、

このカウンタのカウント値と比較するための期待値を記憶する期待値レジスタと、

上記カウンタのカウント値と期待値とを比較する際の許容誤差範囲を示す誤差データを記憶する誤差データレジスタと、

上記カウンタのカウント値と上記誤差データレジスタに記憶されている誤差データを比較し、カウント値が期待値についての許容誤差範囲であるか否かのフラグを出力するフラグ出力回路と、

を有し、

被測定信号が所定の範囲の周波数を有するか否かについてのフラグを検出することを特徴とする信号検出回路。

**【請求項2】** 請求項1に記載の回路において、

上記カウンタは、期待値レジスタの値がプリセットされるダウンカウンタであり、

上記フラグ出力回路は、上記カウンタのカウント値と誤差データレジスタに記憶されている許容誤差範囲を比較し、カウント値が許容誤差範囲内にあるか否かについてのフラグを出力することを特徴とする信号検出回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、被測定信号の周波数が所定範囲内にあるか否かを検出する信号検出回路、特に検出結果の信号をフラグとして出力する回路に関する。

**【0002】**

**【従来の技術】** 従来より、ラジオの自動選局回路が知られており、この自動選局回路では、存在する放送局に順次チューニングする。従って、自動選局モードでは、チューニング周波数を順次変更して、そこに受信可能な放送局（放送局からの電波）が存在するか否かを判断する。

**【0003】** そして、この放送局の有無の判断は、チューナICから出力されるSD（STATION DETECT）信号と、IF（中間周波数）信号の周波数値（IF値）のカウント結果を利用している。

**【0004】** このIF値のカウントは、通常マイコンのプログラム処理で行っている。しかし、ポケットラジオ（携帯型小型ラジオ）などでは消費電流を低減するために内部の処理速度が遅くなっている。また、安価にするため、低ビット（4ビット）マイコンコアを使用している。従って、放送局の高速サーチを行う場合において、IF値を判断するための処理時間が長くなり、この時間が無視できなくなってきた。

**【0005】**

**【発明が解決しようとする課題】** ここで、IF値は、FM放送で10.7MHz、AM放送で450kHzと決

まっている。また、許容誤差範囲も予め決定されている（ラジオ受信機の仕様によって決定されている）。従って、IF値が許容誤差範囲内にあるか否かを検出する回路をハードウェアで構成することが考えられる。そして、回路をハードウェアで構成することで、IF値の判断に要する時間の短縮が期待される。そして、この検出結果をマイコンなどで利用しやすい形態で得ることができれば、ポケットラジオなどにおける高速の自動選局を安価で消費電力の小さな回路で実現できると考えられる。

**【0006】** 本発明は、上記課題に鑑みなされたものであり、IF値が許容誤差範囲内にあるか否かを高速に判定でき、マイコンなどで利用しやすい出力が得られる信号検出回路を提供することを目的とする。

**【0007】**

**【課題を解決するための手段】** 本発明は、被測定信号の周波数を測定するためのカウンタを行うカウンタと、このカウンタのカウント値と比較するための期待値を記憶する期待値レジスタと、上記カウンタのカウント値と期待値とを比較する際の許容誤差範囲を示す誤差データを記憶する誤差データレジスタと、上記カウンタのカウント値と上記誤差データレジスタに記憶されている誤差データを比較し、カウント値が期待値についての許容誤差範囲であるか否かのフラグを出力するフラグ出力回路と、を有し、被測定信号が所定の範囲の周波数を有するか否かについてのフラグを検出することを特徴とする。

**【0008】** このように、本発明によれば、期待値レジスタ、誤差データレジスタ、周波数測定のためのカウンタ、比較を行うフラグ出力回路というハードウェアにより周波数の測定を行うことができる。また、許容誤差内であることを示すフラグを得ることができ、このフラグはチューニング周波数に放送局が存在するか否かをそのまま示している。従って、放送局の有無の判定するマイコンなどでは、このフラグを見るだけでよく、処理が簡単である。そこで、比較的簡単な回路で、高速の周波数の検出を行うことができる。

**【0009】** また、本発明は、上記カウンタは、期待値レジスタの値がプリセットされるダウンカウンタであり、上記フラグ出力回路は、上記カウンタのカウント値と誤差データレジスタに記憶されている許容誤差範囲を比較し、カウント値が許容誤差範囲内にあるか否かについてのフラグを出力することを特徴とする。期待値をプリセットしダウンカウントすることで、誤差範囲内か否かの判定を誤差データレジスタに記憶されている誤差データとの簡単な比較で行うことができる。また、ダウンカウントによれば、誤差データレジスタに記憶する誤差データは、ダウンカウンタの下位ビットに対応する少ないビット数のものでよい。

**【0010】**

**【発明の実施の形態】** 以下、本発明の実施の形態（以下

実施形態という)について、図面に基づいて説明する。

【0011】図1は、実施形態の信号検出回路の全体構成を示すブロック図である。マイコンで構成される制御部10は、ラジオにおける自動選局を制御するものであり、選局する際のチューニング周波数、許容誤差範囲、IF信号のカウンタのタイミング等を認識し、後述する回路によってIF信号の周波数を検出させ、その検出結果に応じて各チューニング周波数に放送局があるか否かを判定する。

【0012】この制御部10には、内部データバス12が接続されており、この内部データバスには、周波数カウンタ値についての期待値を記憶する期待値レジスタ14及び許容誤差を記憶する誤差データレジスタ16が接続されている。そして、制御部は、所定のタイミングで、データバス12に期待値をセットし、これを期待値レジスタ14に取り込ませる。また、他のタイミングでデータバス12に誤差データをセットし、これを誤差データレジスタ16に取り込ませる。従って、期待値レジスタ14に期待値、誤差データレジスタに誤差データがセットされる。

【0013】期待値レジスタ14には、ダウンカウンタ18が接続されており、このダウンカウンタ18は期待値レジスタ14に記憶されている期待値が所定のタイミングでプリセットされる。このダウンカウンタ18には、ゲートコントロール回路20を介し、IF入力信号が入力される。例えば、IF入力信号は、IF信号を矩形波にしたものであり、ダウンカウンタ18がIF入力信号の立ち上がりでダウンカウントする。従って、期待値をIF信号周波数の $1/1000$ とし、正確なIF入力信号を1ミリ秒(msec)ダウンカウントすること

$$\text{期待値} = 10.7 \times 10^6 \times 1 \times 10^{-3} = 10700 \text{ (29CC h)}$$

$$\text{誤差データ} = 10 \times 10^3 \times 1 \times 10^{-3} = 10 \text{ (Ah)}$$

である。そこで、これらの値を期待値レジスタ14及び誤差データレジスタ16にそれぞれセットする。

【0017】測定を開始により期待値レジスタ14の期待値がダウンカウンタ18にセットされ、IF入力信号の立ち上がりで、ダウンカウントされる。誤差データレジスタ16にはAhがセットされており、判定部22はこれを比較データとしてダウンカウンタ18のカウンタ値と比較する。そして、ダウンカウンタ18のカウンタ値が000Aになると、一致信号が発生し、これに応じてPASSフラグがHになる。さらに、ダウンカウントを続け、ダウンカウンタ18のカウンタ値が0から1減算されると、ダウンカウンタ18のカウンタ値はFFFhになる。その段階で、オーバーフロー信号OVERがHになり、これに応じて判定部22は比較データを反転しFFF5にする。そこで、ダウンカウンタ18のカウンタ値がFFF5から000Aだけカウントダウンし、FFF5になったときに一致信号が出力され、PASSフラグがLになる。

で、ダウンカウンタ18のカウンタ値は0になるように構成される。なお、ゲートコントロール回路20の動作は制御部10によって制御される。

【0014】ダウンカウンタ18のカウンタ値及び誤差データレジスタ16に格納されている誤差データは、判定部22に供給されている。この判定部22は、ダウンカウンタ18のカウンタ値が、誤差データレジスタ16の誤差データと一致したときに、PASSフラグとしてHを出力する。また、ダウンカウンタ18が0からの減算により、カウンタ値が反転しダウンカウンタ18が取りうる最大値になった後は、誤差データを反転させ、ダウンカウンタ18のカウンタ値が最大値から誤差データだけ減算された値に至った時にPASSフラグをLに戻す。これによって、IF入力信号のカウンタ値が期待値に対し±誤差データの範囲内の時にのみ、PASSフラグとしてHが出力される。

【0015】そして、制御部10が期待値、誤差データのセット、ダウンカウントの開始終了などをコントロールすることで、カウンタ終了時のカウンタ結果によりIF入力信号の周波数が誤差範囲に入っているか否かを示すPASSフラグが得られる。従って、このPASSがHか否かにより、そのチューニング周波数に放送局からの電波が存在するか否かを判定することができる。すなわち、制御部10がダウンカウントを行う期間を制御することでその期間にカウントされた値が所定の許容誤差範囲内にあるかを判定できる。

【0016】次に、この回路の動作を図2のタイミングチャートに基づいて説明する。例えば、IF信号の周波数が10.7MHzであり、これを1msecで測定し、許容誤差を±10kHzとすると、

【0018】このようにして、IF入力信号が継続して入力されると、判定部22からはダウンカウンタ18のカウンタ値が期待値±誤差データの範囲にあるときにPASSフラグとしてHが出力される。制御部10は、所定のクロックのカウンタにより測定開始より測定時間(この例では1msec)が経過したときには、測定終了フラグCOUNT ENDを出力すると共に、ゲートコントロールを制御して、IF入力信号の入力を禁止する。これによって、IF入力信号の周波数が期待値に対し、許容誤差範囲内であれば、判定部22の出力であるPASSフラグがHとなり、それ以外の場合はLとなる。従って、測定終了フラグCOUNT ENDと、PASSフラグからチューニング周波数に放送局が存在するかを容易に判定することができる。

【0019】次に、図3に期待値レジスタ14、誤差データレジスタ16、ダウンカウンタ18及び判定部22の構成を示す。データバス12は、D0～D3の4ビットで構成され、期待値レジスタ14、誤差データレジス

タ16に接続されている。期待値レジスタ14は、4つの4ビットフリップフロップ30a~30dからなっている。また、誤差データレジスタ16は1つの4ビットフリップフロップ32から構成されている。また、期待値レジスタ14の各フリップフロップ30a~30dのクロック端子Cには、制御部10からのコントロール信号U0~U3が他端に制御部10からの書き込み制御信号であるIOWRが入力されるアンドゲート34a~34dを介し入力されている。また、誤差データレジスタ32のクロック端子Cには、制御部10からのコントロール信号G0が他端に制御部10からの書き込み制御信号であるIOWRが入力されるアンドゲート36を介し入力されている。なお、各フリップフロップ30a~30d、32のリセット端子には、内部リセット信号GRESが入力されている。

【0020】従って、IOWRがHの時にコントロール信号U0~U3、G0のいずれかをHとすることで、各4ビットフリップフロップ30a~30d、32にマイコンがデータバス12にセットした値を格納することができる。

【0021】ここで、図4に4ビットフリップフロップ30a~30d、32の構成を示す。このように、4ビットフリップフロップ30a~30d、32は、それぞれ4つのRSフリップフロップ31a~31dから構成され、それぞれがデータバス12のD0~D4に接続されており、クロック入力端子に入力されるクロックデータバス12のD0~D3のデータをそれぞれ取り込み、これをQ0~Q3として出力する。

【0022】次に、ダウンカウンタ18は、4つの4ビットダウンカウンタ38a~38dから構成されており、各4ビットダウンカウンタ38a~38dのそれぞれの4ビットの入力端子D0~D4に期待値レジスタ14の4ビットフリップフロップ30a~30dの4ビット出力が入力されている。各4ビットダウンカウンタ38a~38dのコントロール端子Lには、コントロール信号CNTLが入力されており、このコントロール信号CNTLによって、期待値レジスタ14からのデータのプリセットか、ダウンカウントかが切り替えられる。また、各4ビットダウンカウンタ38a~38dのクロック端子Cには、IF入力信号IFINが入力されている。さらに、最も下位の4ビットダウンカウンタ38aのイネーブル端子Eには、カウントイネーブル信号CNTENが入力されている。そして、4ビットダウンカウンタ38aのダウンカウントにおけるオーバーフロー、すなわち0000からのダウンカウントの場合には、これについての信号がオーバーフロー信号Bとして出力され、これが上位の4ビットダウンカウンタ38b~38dのイネーブル入力端子Eに順次入力されるようになっている。

【0023】ここで、各4ビットダウンカウンタ38

は、図5に示すような構成を有している。4つのフリップフロップ40a~40dには、4つのゲート回路42a~42dを介し、データD0~D3（期待値レジスタ14の各ビットレジスタ30の4つの出力Q0~Q3）が入力されている。このゲート回路42は、2つのアンドゲートとその出力が入力されるオアゲートからなっており、2つのアンドゲートにコントロール信号CNTLが一方のみが反転されて入力されている。この例では、コントロール信号CNTLがHの時に期待値レジスタ14の4ビットレジスタ30の出力が入力されているアンドゲートが選択される。また、各フリップフロップ40a~40dの出力は、エクスクルーシブノアゲート44a~44dを介し、ゲート42a~42dの他のアンドゲートに入力されている。従って、コントロール信号CNTLがLの時にエクスクルーシブノアゲート44a~44dに入力される。最も下位のエクスクルーシブノアゲート44aの他の入力端には、イネーブル信号Eが反転されて入力されている。また、イネーブル信号Eの反転信号と、フリップフロップ40aの出力がオアゲート46aを介し次段のエクスクルーシブノアゲート44bに入力されている。以後同様のオアゲート46b、46cの出力が次段のエクスクルーシブノアゲート44c、44dに入力されている。そして、オアゲート46dの出力は、反転された後、端子Bから出力される。なお、各フリップフロップ40a~40dのリセット端子には、リセット端子Rに入力される内部リセット信号GRESが入力されている。

【0024】従って、この4ビットカウンタは、L端子に入力されるコントロール信号CNTLがHの時にクロック入力端に入力されるIFINを立ち上げることによって、期待値レジスタ14の4ビットレジスタ30の出力が取り込まれる。コントロール信号CNTLをLとし、イネーブル信号をHとすることで、端子Lに入力されるIFINによるカウントダウンを開始する。オアゲート46を介し上位のフリップフロップ40が下位のフリップフロップ40の0を取り込み、カウントダウンが行われる。そして、すべてのフリップフロップ40の値が0になると、オアゲート46dの出力が0になり、端子BにHが出力される。そして、4ビットダウンカウンタ38aの端子BのHがキャリーとなるため、次のIFINの立ち上がりで、上位のダウンカウンタ38bの1回のダウンカウントが行われる。また、4ビットダウンカウンタ38は、0000の時にすべてのエクスクルーシブノアの入力が00となり、すべてのフリップフロップ40のD入力はHである。従って、次のIFINの立ち上がりで、1111にセットされる。従って、この値からのダウンカウントが開始される。

【0025】従って、すべての4ビットダウンカウンタ38a~38dが0000hの次のIFINの立ち上がりにおいて、ダウンカウンタは、FFFFhにセットさ

れることになる。

【0026】次に、誤差データレジスタ16の出力及びダウンカウンタ18の出力は、判定部22に入力される。判定部22には、誤差データレジスタ16からの4ビット出力を反転する反転回路50を有している。この反転回路50は、図6に示すように、4ビットの入力がそれぞれ入力される4つのエクスクルーシブオアゲート52a～52dからなっており、これら4つのエクスクルーシブオアゲート52a～52dの他端に端子Sから入力されるオーバーフロー信号OVERが入力されている。従って、信号OVERがHの時に入力信号が反転されて出力される。

【0027】また、判定部22は、オアゲート54とフリップフロップ56を有しており、これらによってオーバーフロー信号OVERを形成する。ダウンカウンタ18の4ビットダウンカウンタ38dのB出力端からの出力は、オアゲート54の1入力端に入力される。オアゲート54の出力は、フリップフロップ56のD入力端に入力され、このフリップフロップ56のクロック入力端Cには、IF入力信号IFINが入力されている。そして、フリップフロップ56のQ出力がオアゲート54の他入力端に戻されている。

【0028】ダウンカウンタ18のカウンタ値が0000hになったとき、4ビットダウンカウンタ38dのB出力端からHが出力され、次のIFINの立ち上がりで、フリップフロップ56にHが取り込まれ、その後はフリップフロップ56の値はHに保持される。そこで、図2に示すように、信号OVERは、ダウンカウンタ18のカウンタ値0000hの次からHになる。そして、このフリップフロップ56のQ出力が信号OVERとして反転回路50に供給されるため、反転回路50は、その後誤差データレジスタ16の出力を反転して出力する。なお、フリップフロップ56のリセット端子には、コントロール信号CNTLが入力されており、コントロール信号のH（ダウンカウンタ18に期待値レジスタ14の値がプリセットされるとき）にフリップフロップ56の値がリセットされオーバーフロー信号OVERがリセットされる。

【0029】ダウンカウンタ18の $4 \times 4 = 16$ ビットの出力は、比較回路60a～60dにそれぞれ下位から4ビットずつ入力される。4ビットダウンカウンタ38aからの4ビットが入力される比較回路60aは、図7に示す構成を有している。すなわち、4つのエクスクルーシブオアゲート62a～62dと、これらの出力を受け入れる1つのアンドゲート64からなっている。そして、各エクスクルーシブオアゲート62a～62dには、4ビットダウンカウンタ38aの出力Q0～Q3（端子A0～A3に受け入れる）と、反転回路50からの4ビットの出力（端子B0～B3に受け入れる）とがそれぞれ入力されている。従って、端子A0～A3に入

力される信号（4ビットダウンカウンタ38aの出力）と、端子B0～B3に入力される信号（反転回路50の出力）とがすべて等しい場合にのみアンドゲート64からの信号EQとしてHが出力される。すなわち、ダウンカウンタ18のカウンタ値が0000hに至るまでは、誤差データレジスタ16の4ビットの出力と、ダウンカウンタ18の下位4ビットとを比較し、両者が同一の時にHを出力する。また、ダウンカウンタ18のカウンタ値が0000hを超えてFFFFhからのダウンカウンタを開始した場合には、誤差データレジスタ16の出力の反転とダウンカウンタ18の下位4ビットを比較する。

【0030】ダウンカウンタ18の4ビットダウンカウンタ38b～38dの出力がそれぞれ入力される比較回路60b～60dは、図8に示すような構成を有している。4つのアンドゲート70a～70dと1つのオアゲート72を有している。ダウンカウンタ18の4ビットダウンカウンタ38b～38dのうちの1つの4ビット出力が端子A0～A3に入力され、これがアンドゲート70aにそのまま入力され、アンドゲート70bにすべて反転して入力される。そして、アンドゲート70aの出力はアンドゲート70cに入力され、アンドゲート70bの出力はアンドゲート70dに入力される。アンドゲート70cの他入力端には、オーバーフロー信号OVERがそのまま入力され、アンドゲート70dの他入力端には、オーバーフロー信号OVERが反転されて入力されている。そこで、オーバーフロー信号OVERがHの時には、アンドゲート70cが有効になり、OVERがLの時には、アンドゲート70dが有効になる。そして、アンドゲート70cまたは70dのいずれかの出力がHの時オアゲート72からHが出力される。

【0031】アンドゲート70aは、入力がすべて1の時にHを出力する。一方、アンドゲート70bは、入力がすべて0の時Hを出力する。従って、オアゲート72からは、オーバーフロー信号OVERがLの時には入力がすべて0の時にHが出力され、オーバーフロー信号OVERがHの時には入力がすべて1の時Hが出力される。

【0032】そして、比較回路60a～60dの出力は、アンドゲート80に入力される。そこで、このアンドゲート80では、ダウンカウンタ18が0000hに至るまでのダウンカウンタを行っているときには、ダウンカウンタ18のカウンタ値が誤差データレジスタ16に記憶された4ビットの上位を全部0とした値になったときにHが出力され、ダウンカウンタ18が0000hの後FFFFhからのダウンカウンタを行っているときには、ダウンカウンタ18のカウンタ値の下位4ビットが誤差データレジスタ16に記憶された4ビットの反転となり、上位が全部1とした値になったときにHが出力される。従って、上述の図2における一致信号がアンド

ゲート80の出力に得られる。

【0033】アンドゲート80の出力は、フリップフロップ90a、90bのクロック入力端に入力されている。フリップフロップ90aのD入力端にはイネーブル信号C N T Eが入力されており、フリップフロップ90aのQ出力は、フリップフロップ90bのD入力端に入力されている。また、両フリップフロップ90a、90bのリセット端子には、コントロール信号C N T Lが入力されている。さらに、フリップフロップ90aのQ出力及びフリップフロップ90bの反転Q出力がアンドゲート92に入力されている。

【0034】そこで、これらフリップフロップ90a、90bは、期待値レジスタ14の値をダウンカウンタ18にセットしたときにリセットされ00になる。そして、ダウンカウンタにより、ダウンカウンタ18の値が期待値レジスタ14の値になったときに、アンドゲート80からの一致信号によりフリップフロップ90aにイネーブル信号C N T EのHが取り込まれる。このとき、フリップフロップ90bはLのままであり、その反転出力はHである。従って、アンドゲート92の出力はHになる。そして、ダウンカウンタ18のカウンタ値がF F F F hから期待値レジスタ14の値だけ減算された値になった時アンドゲート80からの一致信号により、フリップフロップ90bがフリップフロップ90aのHを取り込み、Hになる。これによって、フリップフロップ90bの反転出力がLになり、アンドゲート92の出力がLになる。従って、アンドゲート92の出力に、図2におけるPASSフラグが得られる。

【0035】以上のように、本実施形態によれば、回路

を比較的簡単なハードウェアで構成することができる。そして、I F入力信号をカウントして、その周波数が所定の誤差範囲内であることを示すP A S Sフラグを得ることができる。従って、このP A S Sフラグによって放送局の有無を判定することができる。

【0036】

【発明の効果】以上説明したように、本発明によれば、回路をハードウェアで構成できるため、高速の処理が行える。また、チューニング周波数に放送局があるか否かを示すフラグを出力することができるため、後段ではこのフラグを見るだけで処理が行える。また、ハードウェアで構成したため高速の判定を行うことができる。

【図面の簡単な説明】

【図1】 実施形態の信号検出回路の全体構成を示すブロック図である。

【図2】 動作を示すタイミングチャート図である。

【図3】 要部の構成を示す図である。

【図4】 4ビットレジスタの構成を示す図である。

【図5】 4ビットダウンカウンタの構成を示す図である。

【図6】 反転回路の構成を示す図である。

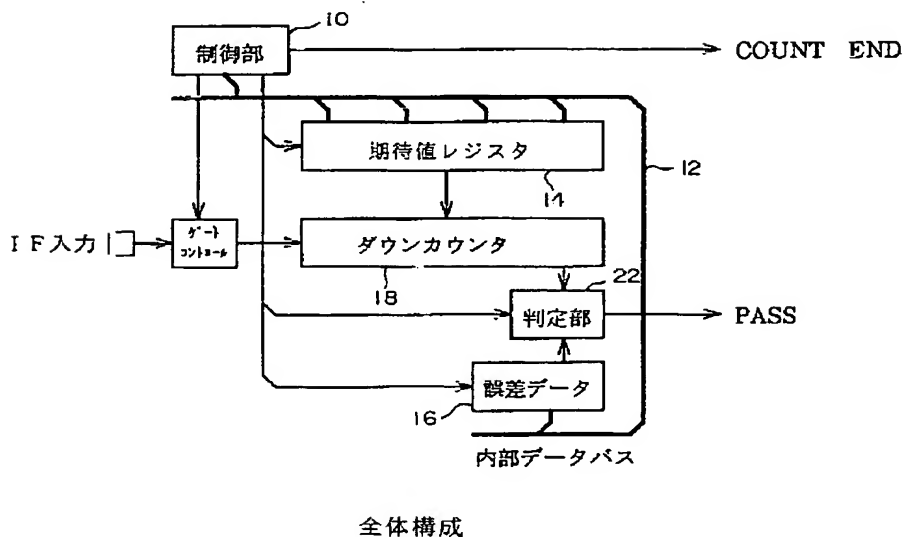
【図7】 下位ビットのための比較回路の構成を示す図である。

【図8】 上位ビットのための比較回路の構成を示す図である。

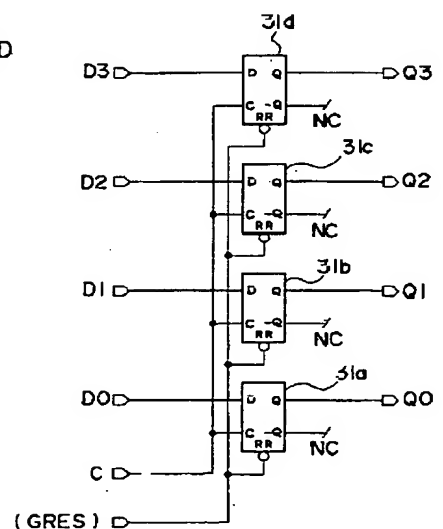
【符号の説明】

10 制御部、12 データバス、14 期待値レジスタ、16 誤差データレジスタ、18 ダウンカウンタ、20 ゲートコントロール回路。

【図1】

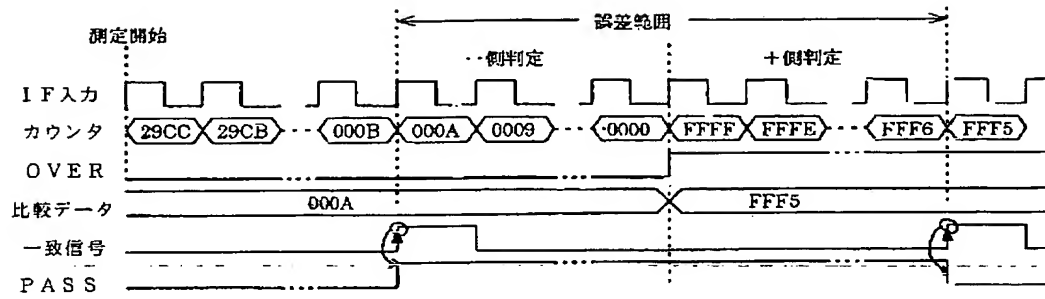


【図4】



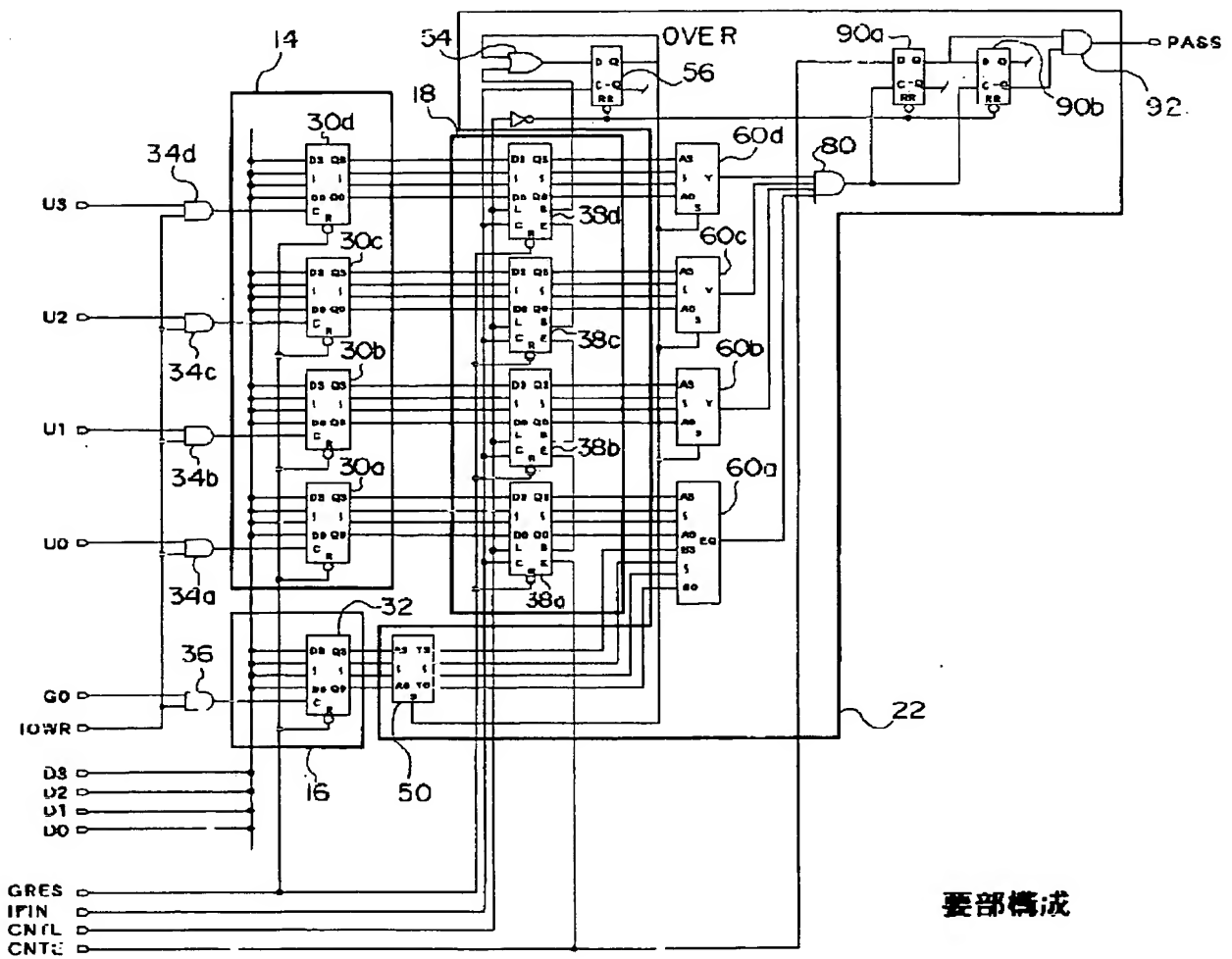
4ビットレジスタ

【図2】



動作のタイミングチャート

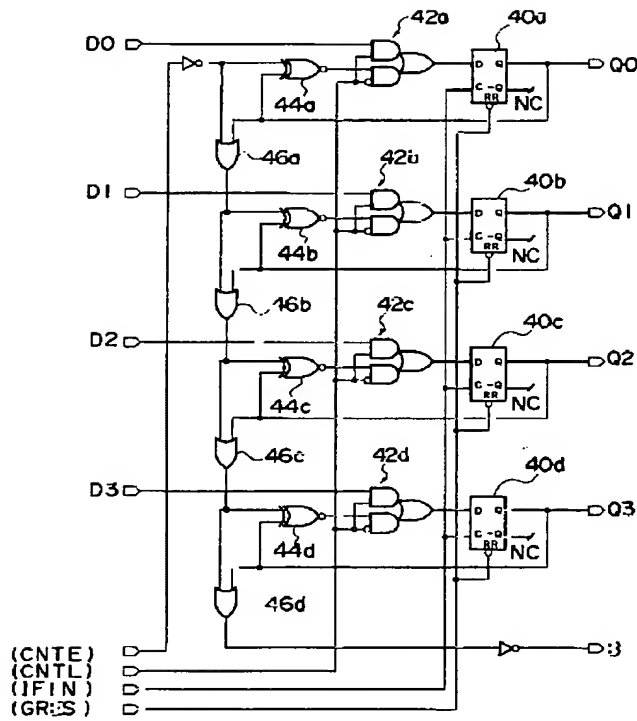
【図3】



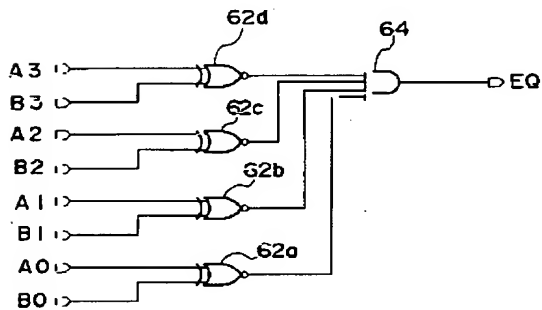
要部構成



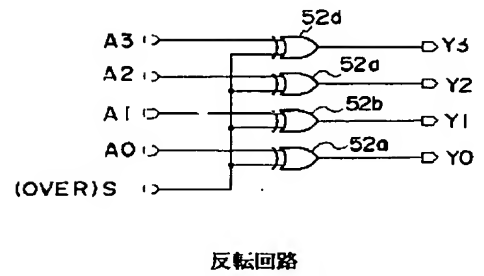
【図5】



【図7】



【図6】



【図8】

